

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 7  
H01L 21/3205

(11) 공개번호 특2002-0083497  
(43) 공개일자 2002년11월02일

(21) 출원번호 10-2002-0023056  
(22) 출원일자 2002년04월26일

(30) 우선권주장 JP-P-2001-00130694 2001년04월27일 일본(JP)  
JP-P-2002-00043117 2002년02월20일 일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1

(72) 발명자 오츠카노부유키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이  
시미즈노리요시  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이  
사카이히사야  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이  
나카오요시유키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이  
콘도히로키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이  
스즈키다카시  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이

(74) 대리인 김성택  
허정훈  
안성택

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 구리층을 포함하는 다층 배선 구조를 갖는 반도체 장치에 관한 것으로, 배선이나 비아로서 사용되는 구리 패턴 표면의 산화, 부식을 방지하는 것을 목적으로 한다.

반도체 기판(1)의 상측에 형성된 제1 절연막(10)과, 제1 절연막(10)내에 매립된 제1 구리 패턴(12a)과, 제1 구리 패

턴(12a) 위와 제1 절연막(10) 위에 형성되고 또한 제1 구리 패턴(12a)의 윗부분이 제1 절연막(10)의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 캡층(13)과, 캡층(13) 위에 형성된 제2 절연막(14, 16)과, 제1 구리 패턴(12a) 위에서 제2 절연막(14, 16)에 형성된 홀(14a) 또는 홈(16a)내에 매립되어 캡층(13)을 통해 제1 구리 패턴에 전기적으로 접속되는 제2 구리 패턴을 포함한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(d)는 종래의 다층 구리 배선 구조의 형성 공정을 도시한 단면도.

도 2(a), 도 2(b)는 본 발명의 제1 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제1 부분).

도 3(a), 도 3(b)는 본 발명의 제1 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제2 부분).

도 4(a), 도 4(b)는 본 발명의 제1 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제3 부분).

도 5는 본 발명의 실시 형태에 관한 반도체 장치에 사용되는 질화지르코늄막의 비저항치의 하층(underlying-layer)의 존재를 조사하기 위해 사용한 시료의 단면도.

도 6은 절연막 위의 질화지르코늄막의 막 두께와 비저항치의 관계를 도시한 도면.

도 7은 금속막 위의 질화지르코늄막의 막 두께와 비저항치의 관계를 도시한 도면.

도 8(a), 도 8(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제1 부분).

도 9(a), 도 9(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제2 부분).

도 10(a), 도 10(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제3 부분).

도 11(a), 도 11(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제4 부분).

도 12(a), 도 12(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제5 부분).

도 13(a), 도 13(b)는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제6 부분).

도 14는 본 발명의 실시 형태에 관한 반도체 장치에 있어서의 구리 배선과 그 위의 도전성 캡층의 어닐링에 의한 배선의 어닐링에 의한 저항 변화를 도시한 도면.

도 15는 본 발명의 실시 형태의 반도체 장치에 있어서의 구리 배선 위의 ZrN캡층의 막 두께와 배선 저항의 관계를 도시한 도면.

도 16(a), 도 16(b)는 본 발명의 제3 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제1 부분).

도 17(a), 도 17(b)는 본 발명의 제3 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제2 부분).

도 18은 본 발명의 제3 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제3 부분).

도 19(a), 도 19(b)는 본 발명의 제4 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제1 부분).

도 20(a), 도 20(b)는 본 발명의 제4 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제2 부분).

도 21은 본 발명의 제4 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 단면도(제3 부분).

<도면의 주요부분에 대한 부호의 설명>

1 : 실리콘 기판

2 : 소자 분리 절연층

3 : MOS 트랜지스터

4, 7, 8, 10, 14, 16 : 층간 절연막

4a, 4b, 8a : 콘택트 홀

5a, 5b, 9 : 도전성 플러그

10a, 10b : 배선 홈

11a : 배리어 메탈층

11b : 구리층

12a, 12b, 21a, 21b : 구리 배선

13 : 제1 캡층

15 : 실리콘 질화막

17 : 배리어 메탈층

18 : 구리 시드층

19 : 구리층

20a, 20b : 비아

30 : 실리콘 웨이퍼

31 : 절연막

32 : 금속막

33 : ZrN막

39 : 레지스트

40, 43 : 스토퍼층

41 : 제2 캡층

42 : 레지스트

44a : 배리어 메탈층

44b : 구리층

44s : 구리 시드층

45a, 45b : 비아

46a, 46b : 구리 배선

47, 49 : 제3 캡층

48 : 제4 캡층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는, 구리층을 포함하는 다층 배선 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 집적 회로(LSI)의 가공 기술의 진보에 따라 개개의 반도체 소자는 점점 미세화되고 있다. 또한, LSI내의 배선도 고밀도화, 다층화, 박층화가 진행되고, 배선에 걸리는 용력이나, 배선에 흐르는 전류의 밀도는 각각 증가 일로를 걷고 있다. 따라서, 예컨대 고밀도의 전류를 배선에 흐르게 함으로써 일렉트로마이그레이션(EM)이라 불리는 배선의 파단 현상이 생기기 쉬워진다. 일렉트로마이그레이션의 구동력은 고밀도 전자 흐름의 충돌에 의해 금속 원자가 이동, 확산함으로써 생긴다고 생각되고 있다. 소자의 미세화에 따라 일렉트로마이그레이션에 의한 열화 현상은 점점 심각해지기 때문에, 보다 고밀도의 전류를 흐르게 할 수 있는 신뢰성이 높은 배선 재료 및 배선 구조의 개발이 필요해지고 있다.

알루미늄 배선에 비해 일렉트로마이그레이션이 발생하기 어려운 배선으로서 구리 배선이 있다.

그러나, 구리층은 미세 가공이 어렵고, 구리 배선을 제작하는 유효한 접근 방법의 하나로서 절연막내에 미리 배선용 홈을 형성한 후, 그 속에 구리층을 매립하는 공정을 포함하는 상감법(damascene method)이 실용화되고 있다. 또한, 배선용 홈 밑에 비아 홀을 형성하여 비아와 배선을 동시에 형성하는 듀얼 상감법도 알려져 있다.

다음에, 상감법에 의해 비아를 형성하는 공정의 일례를 도 1(a) 내지 도 1(d)에 도시한다.

우선, 도 1(a)에 도시된 바와 같이, 반도체 기판(101)의 상측에 층간 절연막(102)을 형성하고, 또한 층간 절연막(10

2) 위에 제1 실리콘 산화막(103)과 실리콘 질화막(107)을 형성한다. 그리고, 제1 실리콘 산화막(103)과 실리콘 질화막(107)을 패터닝하여 이들 막(103, 107)에 제1 배선용 홈(104)을 형성한다. 계속해서, 제1 배선용 홈(104) 안과 실리콘 질화막(107) 위에 배리어 메탈층(105)과 제1 구리층(106)을 순서대로 형성하여 제1 배선용 홈(104)을 완전히 매립한 후에, 제1 구리층(106)과 제1 배리어 메탈층(105)을 화학 기계 연마(CMP)법에 의해 연마하여 실리콘 질화막(107)의 상면에서 제거한다.

이에 따라, 도 1(b)에 도시된 바와 같이, 제1 배선용 홈(104)내에만 남은 제1 구리층(106)을 구리 배선(106a)으로 사용한다. 계속해서, 실리콘 질화막(107)과 구리 배선(106a)의 각각의 위에 제2 실리콘 산화막(108)을 형성한다.

또한, 도 1(c)에 도시된 바와 같이, 제2 실리콘 산화막(108)을 패터닝하여 구리 배선(106a) 위에 비아 홀(109)을 형성한다.

그 후, 도 1(d)에 도시된 바와 같이, 비아 홀(109)내와 제2 실리콘 산화막(108) 위에 제2 배리어 메탈층(110)과 제2 구리층(111)을 형성한 후에, CMP법에 의해 제2 구리층(111)과 제2 배리어 메탈층(110)을 연마하여 제2 실리콘 산화막(108) 상면에서 제거한다. 그리고, 비아 홀(109)내에 남은 제2 구리층(111)을 비아(111a)로서 사용한다.

이상과 같은 공정에 따라 구리 배선의 형성과 비아의 형성을 반복함으로써 다층 구리 배선 구조를 얻을 수 있게 된다.

#### 발명이 이루고자 하는 기술적 과제

그런데, 도 1(c)에 도시된 바와 같이, 제2 실리콘 산화막(108)에 비아 홀(109)을 형성하면, 구리 배선(106a)이 비아 홀(109)로부터 노출되어 직접 외부 공기에 드러나게 된다.

이에 따라, 구리 배선(106a)이 오염, 부식, 산화되어 비아(111a)와의 접속에 불량 발생할 우려가 있다. 그 대책으로서, 비아 홀(109)을 통해 구리 배선(106a)을 세정하는 처리가 행해지고 있지만, 비아 홀(109)의 종횡비(aspect ratio)가 커지게 되면, 구리 배선(106a)의 표면을 충분히 세정하기가 어렵게 된다.

본 발명의 목적은 배선이나 비아로서 사용되는 금속 패턴 표면의 산화, 부식을 방지할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것에 있다.

#### 발명의 구성 및 작용

상기한 과제는 반도체 기판의 상측에 형성된 제1 절연막과, 상기 제1 절연막내에 매립된 제1 금속 패턴과, 상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성되고, 또한 상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치에 의해 해결된다.

상기한 과제는 반도체 기판의 상측에 형성된 제1 절연막과, 상기 제1 절연막내에 매립된 제1 금속 패턴과, 상기 제1 금속 패턴 위에 형성되고, 또한 지르코늄, 티타늄, hafnium, 질화지르코늄, 또는 이들 중 어느 하나의 화합물로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치에 의해 해결된다.

상기한 과제는 반도체 기판의 상측에 제1 절연막을 형성하는 공정과, 상기 제1 절연막내에 제1 홈 또는 제1 홀을 형성하는 공정과, 상기 제1 홈 또는 상기 제1 홀내에 구리를 매립하여 제1 금속 패턴을 형성하는 공정과, 상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해 해결된다.

다음에, 본 발명의 작용에 대해서 설명한다.

본 발명에 따르면, 제1 금속 패턴 위의 영역이 절연막 위의 영역보다도 전기 저항치가 작아지는 물질로 구성되는 캡층을 제1 절연막과 제1 금속 패턴 위에 형성하도록 하고 있다. 금속 패턴은 에컨대 구리 배선이나 구리 비아이다.

그와 같은 캡층의 재료로서는, 화학적으로 안정된 질화지르코늄이나 그 화합물 등이 있고, 그 막 두께는 20 nm 이하가 바람직하다.

따라서, 제1 절연막 위에 제2 절연막을 형성한 후에, 제2 절연막을 패터닝하여 제1 금속 패턴 위에 홀 또는 홈을 형성하면, 홀 또는 홈 아래의 제1 금속 패턴의 산화, 부식, 오염은 캡층에 의해 방지된다.

또한, 홀 또는 홈 속에 형성되는 제2 금속 패턴과 제1 금속 패턴은 그 사이의 캡층에 의해 전기적으로 도통된다. 한편, 캡층은 제1 절연막 위에서는 절연부가 되기 때문에 캡층의 패터닝을 생략할 수 있다.

그와 같은 캡층을 구성하는 지르코늄, 티타늄, 하프늄, 질화지르코늄, 또는 이들 중 어느 하나의 화합물은 에칭 조건을 조정함으로써, 제1 금속 패턴 위에 남기면서 제1 절연막 위에 선택 에칭이 가능하다. 따라서, 마스크를 이용하는 일없이 캡층을 제1 절연막 위에서 선택적으로 제거하고 또한 제1 금속 패턴 위에 남겨도 좋다.

구리를 포함하는 제1 금속 패턴으로부터 절연막으로의 구리의 확산을 보다 확실하게 방지하고 싶은 경우에는, 구리 확산 방지용 절연 재료로 이루어진 제2 캡층을 캡층 위에 형성하여도 좋다.

이하에 본 발명의 실시 형태를 도면에 기초하여 설명한다.

(제1 실시 형태)

도 2 내지 도 4는 본 발명의 제1 실시 형태에 관한 반도체 장치의 제조 공정을 도시한 단면도이다.

우선, 도 2(a)에 도시된 구조에 대해서 설명한다.

p형의 실리콘(반도체) 기판(1) 위에는 능동 소자 영역을 둘러싸는 소자 분리 절연층(2)이 형성되어 있다. 그 능동 소자 영역에는 MOS 트랜지스터(3)가 형성되어 있다. MOS 트랜지스터(3)는 실리콘 기판(1) 위에 게이트 절연막(3a)을 통해 형성된 게이트 전극(3b)과, 게이트 전극(3b)의 양측 실리콘 기판(1)내에 형성된 LDD 구조의 제1, 제2 n형 불순물 확산층(3c, 3d)을 갖고 있다.

또한, 게이트 전극(3b)의 측면에는 절연성 측벽(3e)이 형성되어 있다.

실리콘 기판(1) 위에는 MOS 트랜지스터(3)를 덮는  $\text{SiO}_2$  로 이루어진 제1 층간 절연막(4)이 형성되어 있다. 제1 층간 절연막(4) 중, 제1 n형 불순물 확산층(3c)과 제2 n형 불순물 확산층(3d) 위에는 각각 제1 콘택트 홀(4a)과 제2 콘택트 홀(4b)이 형성되어 있다.

제1 및 제2 콘택트 홀(4a, 4b) 내에는 각각 제1 도전성 플러그(5a)와 제2 도전성 플러그(5b)가 매립되어 있다. 제1 및 제2 도전성 플러그(5a, 5b)는 각각 질화티탄막과 텅스텐막의 이층 구조를 갖고 있다.

제1 층간 절연막(4) 위에는 제2 도전성 플러그(5b)에 접속되는 알루미늄으로 이루어진 제1 층 배선(7)이 형성되어 있다. 또한, 제1 층간 절연막(4)과 제1 층 배선(7) 위에는  $\text{SiO}_2$ , BPSG, PSG 등 중 어느 하나로 이루어진 제2 층간 절연막(8)이 형성되어 있다. 제2 층간 절연막(8) 중 제1 도전성 플러그(5a) 위에는 콘택트 홀(8a)이 형성되고, 그 속에는 질화티탄막과 텅스텐막의 이층 구조를 갖는 제3 도전성 플러그(9)가 매립되어 있다.

제2 층간 절연막(8)과 제3 도전성 플러그(9)는 막 두께 350 nm의  $\text{SiO}_2$  로 이루어진 제3 층간 절연막(10)으로 덮여 있다. 그리고, 제3 층간 절연막(10)에는 제1 배선 홈(10a)과 제2 배선 홈(10b)이 형성되어 있다.

제1 배선 홈(10a)은 그 일부가 제3 도전성 플러그(9)에 겹치는 형상을 갖고 있다. 제1 배선 홈(10a) 속에는 탄탈, 질화탄탈, 질화티탄 등의 배리어 메탈층(11a)과 구리층(11b)으로 이루어진 다층 구조를 갖는 제1 구리 배선(12a)이 형성되어 있다. 또한, 제2 배선 홈(10b)내에는 제1 구리 배선(12a)과 동일한 층구조를 갖는 제2 구리 배선(12b)이 형성되어 있다.

이상과 같이 제1 층의 구리 배선(12a, 12b)을 형성한 후에, 도 2(b)에 도시된 바와 같이, 제3 층간 절연막(10) 위와 제1 및 제2 구리 배선(12a, 12b) 위에 질화지르코늄(ZrN)으로 이루어진 캡층(13)을 형성한다. 질화지르코늄의 형성은 테트라키스디에틸아미노지르코늄( $Zr\{N(C_2H_5)_2\}_4$ ; TDEAZ)을 이용한 CVD법이라도 좋고, 혹은 스퍼터, 증착 등 중 어느 하나의 PVD법이라도 좋다.

ZrN 캡층(13)은 0 nm보다 크고 20 nm 이하의 두께로 형성되어 있어, 제1 및 제2 구리 배선(12a, 12b)을 구성하는 배리어 메탈층(11a)과 구리층(11b)에 접촉하는 영역에서는 비저항치(resistivity)가 약  $300 \mu\Omega \cdot cm$  이하의 저저항층(13a)이 되고,  $SiO_2$ 로 이루어진 제3 층간 절연막(10)에 접촉하는 영역에서는 비저항치가 수천  $\mu\Omega \cdot cm$  이상 또는 수만  $\mu\Omega \cdot cm$  이상의 고저항층(13b)이 된다. 그 상세한 내용에 대해서는 후술한다.

다음에, 도 3(a)에 도시된 바와 같이, 막 두께 350 nm의  $SiO_2$ 로 이루어진 제4 층간 절연막(14)과 막 두께 50 nm의 실리콘 질화막(15)과 막 두께 300 nm의  $SiO_2$ 로 이루어진 제5 층간 절연막(16)을 CVD법에 의해 ZrN 캡층(13) 위에 순서대로 형성한다. 또, 실리콘 질화막(15) 대신에 막 두께 20 nm 이하의 질화지르코늄막을 사용하여도 좋다.

계속해서, 도 3(b)에 도시된 바와 같이, 제5 층간 절연막(16)을 패터닝함으로써, 제1 구리 배선(12a)에 일부가 겹치는 제3 배선 홈(16a)을 형성하고, 동시에 제2 구리 배선(12b)에 일부가 겹치는 제4 배선 홈(16b)을 형성한다. 또한, 제4 층간 절연막(14)을 패터닝함으로써, 제3 배선 홈(16a)과 제1 구리 배선(12a)이 겹치는 부분에 제1 비아 홀(14a)을 형성하고, 동시에 제4 배선 홈(16b)과 제2 구리 배선(12b)이 겹치는 부분에 제2 비아 홀(14b)을 형성한다.

제1 및 제2 비아 홀(14a, 14b)의 형성과 제3 및 제4 배선 홈(16a, 16b)의 형성 순서는 어느 쪽이 먼저라도 좋고, 제3 및 제4 배선 홈(16a, 16b)을 형성할 때에 실리콘 질화막(15)은 에칭 스톱퍼층(etching stopper layer)으로서 기능한다. 또한, 제1 및 제2 비아 홀(14a, 14b)을 형성하는 경우에는 ZrN 캡층(13)은 에칭 스톱퍼층으로서 기능한다.

이들의 비아 홀(14a, 14b)은 각각 제1 층의 구리 배선(12a, 12b) 위에 형성되고, ZrN 캡층(13)의 저저항층(13a)을 노출시킨다.

다음에, 도 4(a)에 도시된 바와 같이, 제1 및 제2 비아 홀(14a, 14b)과 제3 및 제4 배선 홈(16a, 16b)의 각각의 내주면과 저면, 및 제5 층간 절연막(16)의 상면 위에 배리어 메탈층(17)을 5~10 nm의 두께로 형성한다. 배리어 메탈층(17)은 스퍼터법에 의해 형성되고, 예컨대 탄탈(Ta), 질화탄탈(TaN) 혹은 이들 적층막 중 어느 하나, 또는 질화티탄(TiN)으로 구성된다.

또한, 배리어 메탈층(17) 위에 구리 시드층(18)을 스퍼터법에 의해 30~100 nm의 두께로 형성한다.

다음에, 전해 도금법에 의해 구리층(19)을 구리 시드층(18) 위에 형성하고, 이에 따라 제3 및 제4 배선 홈(16a, 16b)과 제1 및 제2 비아 홀(14a, 14b)을 완전히 매립한다. 여기서, 구리 시드층(18)은 구리층(19)의 일부가 된다.

이 후에, 도 4(b)에 도시된 바와 같이, 제5 층간 절연막(16)의 상면에 형성된 구리층(19), 배리어 메탈층(17)을 CMP법에 의해 제거한다. 이에 따라 제1 및 제2 비아 홀(14a, 14b)의 각각의 속에 남은 구리층(19), 구리 시드층(18), 배리어 메탈층(17)을 제1 및 제2 비아(20a, 20b)로서 사용하고, 또한, 제3 및 제4 배선 홈(16a, 16b)의 각각의 속에 남은 구리층(19), 배리어 메탈층(17)을 제3 및 제4 구리 배선(21a, 21b)으로서 사용한다.

제3 구리 배선(21a)은 제1 비아(20a)와 캡층(13)을 통해 제1 구리 배선(12a)에 전기적으로 접속된다. 또한, 제4 구리 배선(21b)은 제2 비아(20b)와 캡층(13)을 통해 제2 구리 배선(12b)에 전기적으로 접속된다.

또한, 제3 및 제4 구리 배선(21a, 21b)과 제5 층간 절연막(16) 위에 상기한 캡층(13)과 동일한 재료로 이루어진 막 두께 20 nm 이하의 제2 층의 캡층(도시되지 않음)을 형성한 후에, 상기한 공정에 따라 층간 절연막, 구리 배선 및 비아의 형성을 반복함으로써, 제2 층간 절연막(8) 위에는 다층 구조의 구리 배선이 형성되게 된다.

그런데, 제1 및 제2 비아(20a, 20b)는 각각 막 두께 20 nm 이하의 ZrN 캡층(13)의 저저항층(13a)을 통해 제1 및 제2 구리 배선(12a, 12b)에 각각 접속된다. 이 경우, ZrN 캡층(13)은  $\text{SiO}_2$ 로 이루어진 제2 층간 절연막(10) 위에서는 고저항층(13b)이 되기 때문에, 제3 구리 배선(21a)과 제4 구리 배선(21b)이 ZrN 캡층(13)을 통해 단락하는 경우는 없다. 더구나 질화지르코늄은 화학적으로 안정되어서 구리에 비하여 산화되기 어렵기 때문에, 비아 홀이나 배선 홈을 통해 노출됨으로써 산화되거나 부식될 우려가 없고, 구리 배선이나 구리 비아의 산화나 부식을 방지하는 도전성/절연성의 보호막이 된다.

질화지르코늄막의 전기적 저항치가 그 하층(underlying layer)의 재료에 의존하는 것에 대해서, 이하에 설명한다.

우선, 도 5에 도시된 바와 같이, 실리콘 웨이퍼(30) 위에 두께 100 nm의  $\text{SiO}_2$ 로 이루어진 절연막(31)과 두께 50 nm의 질화티탄(TiN)으로 이루어진 금속막(32)을 순서대로 형성하고, 또한 금속막(32)을 패터닝하여 절연막(31)의 일부를 노출시켰다. 이어서, 절연막(31)과 금속막(32) 위에 CVD법에 의해 질화지르코늄(ZrN)막(33)을 형성하였다. 질화지르코늄막(33)을 CVD법에 의해 형성하기 위한 원료로서 TDEAZ와 암모니아( $\text{NH}_3$ )를 이용하고, 또한, 질화지르코늄막(33)의 성장시의 실리콘 웨이퍼(30)의 온도를 380°C로 설정하였다.

그와 같은 조건에 의해 형성되는 ZrN막(33)의 막 두께를 변화시키면서,  $\text{SiO}_2$  절연막(31) 위의 질화지르코늄막(33)의 막 두께와 비저항치의 관계를 조사한 결과, 도 6에 도시된 바와 같은 결과를 얻을 수 있었다. 도 6에 따르면 질화지르코늄막(33)의 비저항치는 두께가 20 nm에서는 약  $3300 \mu\Omega \cdot \text{cm}$ 가 되고, 두께가 약 18.7 nm 이하에서는 급격하게 비저항치가 커지며, 두께가 17.8 nm에서는  $10000 \mu\Omega \cdot \text{cm}$ 가 되고 있다. 또, 절연막(31)으로서, 질화산화실리콘막, 실리콘 질화막, 플루오르산화실리콘막을 이용한 경우에도 동일한 결과를 얻을 수 있다.

한편, TiN 금속막(32) 위의 질화지르코늄막(33)의 막 두께와 비저항치의 관계를 조사한 결과, 도 7에 도시된 바와 같은 결과를 얻을 수 있었다. 금속막(32)으로서 구리막을 사용하여도 동일한 결과를 얻을 수 있다.

도 6, 도 7에 따르면, 질화지르코늄막(33)은 절연막(31) 위에서 20 nm 이하의 두께로 형성됨으로써 그 비저항치가 커져 수천  $\mu\Omega \cdot \text{cm}$  이상인 절연막이 된다. 이것에 대하여, 금속막(32) 위의 질화지르코늄막(33)은 그 막 두께 20 nm 이하라도 비저항치가 약  $300 \mu\Omega \cdot \text{cm}$  이하인 도전막이 된다.

따라서, 질화지르코늄막의 비저항치는 그 하층막의 재료에 의존하는 것을 알 수 있다. 그 성질은 질화지르코늄막을 CVD법이 아닌 스퍼터, 증착 등의 PVD법으로 형성한 경우에도 동일하다.

또, 캡층(13)으로서, 질화지르코늄 대신에 질화지르코늄 화합물, 지르코늄, 티타늄, 하프늄 또는 지르코늄 화합물, 티타늄 화합물, 하프늄 화합물 중 어느 하나의 물질의 막을 예컨대 0 nm보다 크고 20 nm 이하의 두께로 형성하여도 좋다. 캡층(13)을 구성하는 물질을 스퍼터 등의 PVD법에 의해 형성하는 경우에는, 그 물질을 형성한 후에 예컨대 400°C 전후의 온도에서 어닐링함으로써 제3 층간 절연막(10) 속의 산소에 의해 제3 층간 절연막(10) 위에서 그 물질을 산화하여 전기 저항을 증가시키는 것이 바람직하다. 또한, 구리 배선(12a, 12b) 위에서 캡층(13)을 구성하는 물질의 산화를 완전히 방지해 둘 필요가 있으면, 캡층(13)을 제1, 제2 구리 배선(구리 패턴: 12a, 12b)의 상부와 합금화하는 것이 바람직하다.

그런데, 실리콘 웨이퍼 위에 두께 100 nm의 실리콘 산화막과 두께 10 nm의 질화지르코늄막을 순서대로 형성한 후에, 테트라키스디에틸아미노티탄(TDEAT)과 암모니아( $\text{NH}_3$ )를 이용하여 웨이퍼 온도 350°C에서 CVD법에 의해 질화티탄(TiN)막을 질화지르코늄막 위에 50 nm의 두께로 형성하였다. 그리고, 질화티탄막의 비저항치를 측정한 결과  $200 \mu\Omega \cdot \text{cm}$ 가 되고, 질화지르코늄막 중 고저항화된 부분 위의 TiN막(금속막)은 고저항화되지 않는 것을 알 수 있다.

## (제2 실시 형태)

제1 실시 형태에서는, 구리 배선(12a, 12b)과 제3 층간 절연막(10) 위에 ZrN, Zr, Hf 등의 캡층(13)을 형성하고 있다. 구리 배선(12a, 12b)과 캡층(13)이 열처리에 의해 합금화됐다고 한다면, 캡층(13)으로부터 구리 원소가 제3, 제4 층간 절연막(10, 14)으로 확산될 우려가 있다.



그래서, 층간 절연막(10, 14)으로의 구리 확산을 확실하게 방지하는 구조를 갖는 반도체 장치의 형성 공정을 이하에 설명한다.

도 8 내지 도 13은 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 공정을 도시한 단면도이다. 또, 도 8 내지 도 13에 있어서, 도 2 내지 도 4와 동일한 부호는 동일한 요소를 나타내고 있다.

우선, 도 8(a)에 도시된 구조를 형성할 때까지의 공정을 설명한다.

p형의 실리콘 기판(1) 위에는 능동 소자 영역을 둘러싸는 소자 분리 절연층(2)을 형성한 후에, 제1 실시 형태에서 도시한 구조를 갖는 MOS 트랜지스터(3)를 능동 소자 영역에 형성한다.

또한, 실리콘 기판(1) 위에 MOS 트랜지스터(3)를 덮는  $\text{SiO}_2$ 로 이루어진 제1 층간 절연막(4)을 형성한 후에, 제1 층간 절연막(4) 중, 제1 n형 불순물 확산층(3c)과 제2 n형 불순물 확산층(3d) 위에 각각 제1 콘택트 홀(4a)과 제2 콘택트 홀(4b)을 형성한다. 그리고, 제1 및 제2 콘택트 홀(4a, 4b)내에 제1 도전성 플러그(5a)와 제2 도전성 플러그(5b)를 각각 매립한다. 제1 및 제2 도전성 플러그(5a, 5b)는 각각 질화티탄막과 텅스텐막의 이층 구조를 갖고 있다.

계속해서, 제1 층간 절연막(4) 위에 제2 도전성 플러그(5b)에 접속되는 알루미늄으로 이루어진 제1 층 배선(7)을 형성한다. 또한, 제1 층간 절연막(4)과 제1 층 배선(7) 위에 제2 층간 절연막(8)을 형성한다. 또한, 제2 층간 절연막(8) 중 제1 도전성 플러그(5a) 위에 콘택트 홀(8a)을 형성하고, 그 속에 질화티탄막과 텅스텐막의 이층 구조를 갖는 제3 도전성 플러그(9)를 매립한다.

그 상태로, 제2 층간 절연막(8)과 제3 도전성 플러그(9) 위에 막 두께 300 nm의  $\text{SiO}_2$ 로 이루어진 제3 층간 절연막(10)을 CVD법에 의해 형성한다. 또한, 제3 층간 절연막(10) 위에 절연성 제1 스토퍼층(40)으로서 막 두께 50 nm의 질화실리콘막을 CVD법에 의해 형성한다.

계속해서, 제1 스토퍼층(40) 위에 레지스트(39)를 도포하고, 이것을 노광, 현상하여 제3 도전성 플러그(9)의 상측을 통하는 배선 패턴을 갖는 개구부(39a, 39b)를 형성한다.

다음에, 도 8(b), 도 9(a)에 도시된 바와 같이, 레지스트(39)를 마스크로 사용하는 에칭에 의해, 제1 스토퍼층(40) 및 제3 층간 절연막(10)에 제1, 제2 배선 홈(10a, 10b)을 형성한다. 제1 배선 홈(10a)은 그 일부가 제3 도전성 플러그(9) 위에 위치하는 형상을 갖고 있다. 또, 도 9(a)에 도시된 바와 같이, 개구부가 형성된 제1 스토퍼층(40)을 마스크로 사용하여 제3 층간 절연막(10)을 에칭함으로써 제1, 제2 배선 홈(10a, 10b)을 형성하여도 좋다.

다음에, 도 9(b)에 도시된 바와 같이, 제1 및 제2 배선 홈(10a, 10b)의 각각의 내주면 및 저면 및 제1 스토퍼층(40)의 상면 위에 제1 배리어 메탈층(11a)을 형성한다. 배리어 메탈층(11a)은 스퍼터법에 의해 형성되고, 예컨대 Ta, TaN 혹은 이들 적층막 중 어느 하나, 또는 TiN으로 구성된다.

또한, 배리어 메탈층(11a) 위에 구리 시드층(11s)을 스퍼터법에 의해 30~100 nm의 두께로 형성한다.

또한, 도 10(a)에 도시된 바와 같이, 구리층(11b)을 전해 도금법에 의해 구리 시드층(11s) 위에 형성하고, 이에 따라 제1 및 제2 배선 홈(10a, 10b)을 완전히 매립한다. 또, 구리 시드층(11s)은 구리층(11b)에 포함되게 된다.

이 후에, 도 10(b)에 도시된 바와 같이, 제3 층간 절연막(10)의 상면에 형성된 구리층(11b), 배리어 메탈층(11a)을 CMP법에 의해 제거한다. 여기서 제1 스토퍼막(40)은 CMP 스토퍼가 된다. 이에 따라, 제1 및 제2 배선 홈(10a, 10b) 속에 남은 구리층(11b), 제1 배리어 메탈층(11a)을 제1 및 제2 구리 배선(12a, 12b)으로서 사용한다.

이상과 같이 제1 층의 구리 배선(12a, 12b)을 형성한 후에, 도 11(a)에 도시된 바와 같이, 제1 스토퍼막(40) 위와 제1 및 제2 구리 배선(12a, 12b) 위에 질화지르코늄( $\text{ZrN}$ )으로 이루어진 제1 캡층(13)을 형성한다. 이 제1 캡층(13)은 제1 실시 형태에서 설명한  $\text{ZrN}$ 의 형성 방법에 의해 형성된다.

ZrN으로 이루어진 제1 캡층(13)은 제1 실시 형태에서 설명한 바와 같이, 0 nm보다 크고 20 nm 이하의 두께로 형성되어 있어, 제1 및 제2 구리 배선(12a, 12b)을 구성하는 배리어 메탈층(11a)과 구리층(11b)에 접촉하는 영역에서는 비저항치가 약  $300 \mu\Omega \cdot \text{cm}$  이하인 저저항층(13a)이 되고,  $\text{SiO}_2$ 로 이루어진 제3 층간 절연막(10)에 접촉하는 영역에서는 비저항치가 수천  $\mu\Omega \cdot \text{cm}$  이상 또는 수만  $\mu\Omega \cdot \text{cm}$  이상인 고저항층(13b)이 된다.

다음에, 도 11(b)에 도시된 바와 같이, 구리 확산 방지 기능을 갖는 절연성의 제2 캡층(41)을 제1 캡층(13) 위에 형성한다. 제2 캡층(41)으로서, 탄화규소( $\text{SiC}$ ), 질화규소( $\text{SiN}$ ) 혹은 이것을 베이스로 한 절연층, 또는, 산화탄화규소( $\text{SiCO}$ ), 산화질화규소( $\text{SiON}$ ) 혹은 이것을 베이스로 한 절연층 등을 플라즈마 여기 기상 성장(PE-CVD)법에 의해 20~100 nm의 두께로 형성한다.

제2 캡층(41)을 구성하는 이들 절연층의 성장은 전형적으로는 평행 평판형의 PE-CVD 장치를 사용하여 실리콘 기판(1)을 넣은 진공실내에 샤워 헤드를 통해서 원료 가스를 도입하고, 페데스탈(pedestal)에 의해 기판 온도를  $350^\circ\text{C} \sim 400^\circ\text{C}$ 로 조정하며, 기판에 대향하는 전극에 파워 300~600 W로 주파수 13.56 MHz의 고주파 전력을 투입한다.

탄화규소의 형성에는 주로 메틸실란계로 이루어진 유기 실란을 원료로 이용하고, 필요에 따라 메탄, 암모니아, 질소, 헬륨 등의 가스를 첨가한다.

또한, 산화탄화규소의 형성에는 탄화규소의 형성에 사용하는 가스에 산소, 일산화질소 등의 산소 소스를 첨가한다. 일반적으로, 절연막 속에 산소를 첨가함으로써 막의 유전률이 낮아져서 절연막 기리의 밀착성이 향상된다고 하는 이점이 있지만, 구리 확산 방지막으로서의 기능은 저하된다.

질화규소의 형성은 탄화규소계 절연막과 마찬가지로 PE-CVD법에 의해 성장하지만, 규소 원료 가스로서는 전형적으로  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$  등의 모노실란계 가스를 사용하지만, 유기 실란계 가스를 사용하여 형성할 수도 있다. 질소 공급원으로서, 질소, 암모니아를 규소 원료 가스와 동시에 성장 분위기 속에 공급한다. 산화 질소규소의 형성에는 질화규소의 성장에 사용하는 가스에 산소, 일산화질소 등의 산소 소스를 첨가한다.

그와 같은 조건으로 제2 캡층(41)을 형성한 후, 도 12(a)에 도시된 바와 같이, 막 두께 600 nm의  $\text{SiO}_2$ 로 이루어진 제4 층간 절연막(42)과 막 두께 50 nm의 질화실리콘으로 이루어진 제2 스토퍼층(43)을 CVD법에 의해 제2 캡층(41) 위에 순서대로 형성한다.

다음에, 도 12(b)에 도시된 바와 같이, 제2 스토퍼층(43), 제4 층간 절연막(42) 및 제2 캡층(41)을 패터닝함으로써 제1 캡층(13)의 저저항층(13a)을 노출시키는 제1, 제2 비아 홀(41a, 41b)을 제2 스토퍼층(43), 제4 층간 절연막(42) 및 제2 캡층(41)에 형성하고, 제1, 제2 비아 홀(41a, 41b)에 각각 겹치는 제3, 제4 배선 홈(42a, 42b)을 제2 스토퍼층(43), 제4 층간 절연막(42)에 형성한다. 제3, 제4 배선 홈(42a, 42b)은 제2 스토퍼층(43) 상면에서 약 350 nm의 깊이로 한다.

제1, 제2 비아 홀(41a, 41b)의 형성과, 제3, 제4 배선 홈(42a, 42b)의 형성은 어느 쪽이 먼저라도 좋고, 각각 다른 레지스트 패턴을 마스크로 사용한다. 또한, 제4 층간 절연막의 중간에 질화실리콘층과 같은 에칭 스토퍼층을 형성함으로써, 제1 실시 형태와 유사한 공정에서 제1, 제2 비아 홀(41a, 41b)과 제3, 제4 배선 홈(42a, 42b)을 형성하여도 좋다. 에칭 스토퍼층을 제4 층간 절연막에 형성하는 것에 대해서는 이하의 실시 형태에서 채용하여도 좋다.

다음에, 도 13(a)에 도시된 바와 같이, 제1 및 제2 비아 홀(41a, 41b)과 제3 및 제4 배선 홈(42a, 42b)의 각각의 내주면 및 저면 및 제2 스토퍼층(43)의 상면 위에 배리어 메탈층(44a)을 형성한다. 배리어 메탈층(44a)은 스퍼터법에 의해 형성되고, 예컨대 Ta, TaN 혹은 이들 적층막 중 어느 하나, 또는 TiN으로 구성된다.

또한, 배리어 메탈층(44a) 위에 구리 시드층(44s)을 스퍼터법에 의해 30~100 nm의 두께로 형성한다.

다음에, 구리층(44b)을 전해 도금법에 의해 구리 시드층(44s) 위에 형성하고, 이에 따라 제3 및 제4 배선 홈(42a, 42b)과 제1 및 제2 비아 홀(41a, 41b)을 완전히 매립한다. 구리 시드층(44s)은 구리층(44b)과 일체가 된다.

다음에, 도 13(b)에 도시된 구조를 형성할 때까지의 공정을 설명한다.

제2 스토퍼층(43)을 연마 스토퍼로 하여 제2 스토퍼층(43)의 상면에서 구리층(44b), 배리어 메탈층(44a)을 CMP법에 의해 제거한다. 이에 따라, 제1 및 제2 비아 홀(41a, 41b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제1 및 제2 비아(45a, 45b)로서 사용하고, 또한, 제3 및 제4 배선 홈(42a, 42b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제3 및 제4 구리 배선(46a, 46b)으로서 사용한다.

제3 구리 배선(21a)은 제1 비아(20a)와 캡층(13)을 통해 제1 구리 배선(12a)에 전기적으로 접속된다. 또한, 제4 구리 배선(21b)은 제2 비아(20b)와 제1 캡층(13)을 통해 제2 구리 배선(12b)에 전기적으로 접속된다.

계속해서, 제3 및 제4 구리 배선(46a, 46b)과 제2 스토퍼층(43) 위에 제1 캡층(13)과 동일한 재료로 이루어진 제3 캡층(47)과 제2 캡층(43)과 동일한 재료로 이루어진 제4 캡층(48)을 순서대로 형성한다.

또한, 상기한 것과 동일한 층간 절연막, 구리 배선 및 비아의 형성을 반복함으로써, 제2 층간 절연막(8) 위에는 다층 구조의 구리 배선이 형성되게 된다.

이상에 의해 형성된 반도체 장치에 있어서는, ZrN으로 이루어진 제1, 제3 캡층(13, 47) 중 구리 배선(12a, 12b, 46a, 46b)에 접속하는 부분은 저저항층이 되고, 절연성의 제1, 제2 스토퍼층(40, 43)에 접하는 부분은 고저항층이 된다.

제1, 제2 구리 배선(12a, 12b)과 제1 캡층(13)이 가열에 의해 합금화됐다고 한다면, 구리는 캡층(13)으로부터 제4 층간 절연막(42)으로 확산될 우려가 있다. 그러나, 본 실시 형태에서는, ZrN의 제1 캡층(13) 위에 추가로 구리 확산 방지용 절연성의 제2 캡층(41)을 더 형성하였기 때문에, 제1, 제2 구리 배선(12a, 12b)으로부터 제4 층간 절연막(42)으로의 구리의 확산은 절연성의 제2 캡층(41)에 의해 확실하게 방지되게 된다. 또한, 제1, 제2 스토퍼층(40, 43)은 질화실리콘으로 구성함으로써 구리 확산 방지층으로서도 기능한다.

그런데, 도 11(a)에 도시된 바와 같이 ZrN으로 이루어진 제1 캡층(13)을 구리 배선(12a, 12b) 위에 형성한 후의 가열에 의해 구리 배선(12a, 12b)의 시트 저항이 어떻게 변화되는지를 실험한 결과, 도 14에 도시된 결과를 얻을 수 있고 시트 저항은 거의 변화하지 않는 것을 알았다.

도 14의 점선은 제1 캡층(13)을 형성하지 않고서 구리 배선(12a, 12b)에 대해서, 어닐링하지 않은 상태에서의 시트 저항과 어닐링한 후의 시트 저항의 차이를 나타내고 있다. 또한, 도 14의 실선은 막 두께 2.5 nm의 제1 캡층(13)이 접합되어 있는 구리 배선(12a, 12b)에 대해서, 어닐링하지 않은 상태에서의 시트 저항과 어닐링한 후의 시트 저항의 차이를 나타내고 있다. 또한, 도 14의 일점 쇄선은 막 두께 5.0 nm의 제1 캡층(13)이 접합되어 있는 구리 배선(12a, 12b)에 대해서, 어닐링하지 않은 상태에서의 시트 저항과 어닐링한 후의 시트 저항의 차이를 나타내고 있다.

도 15(a) 내지 도 15(c)는 ZrN 캡층(13)과 구리 배선(12a, 12b)을 합한 캡 배선의 저항과 ZrN 캡층(13)의 막 두께와의 관계를 조사한 결과를 나타내고 있다. 또, 도 15(a) 내지 도 15(c)의 각각에 있어서, 복수의 세로 선은 좌측에서부터 순서대로 8  $\mu\text{m}$ (○), 4  $\mu\text{m}$ (□), 2  $\mu\text{m}$ (◇), 1  $\mu\text{m}$ (×), 0.54  $\mu\text{m}$ (+), 0.27  $\mu\text{m}$ (△)의 배선폭을 나타내고 있다.

도 15(a)는 ZrN 캡층(13)을 형성하지 않는 경우의 구리 배선(12a, 12b)의 저항치와 누적 퍼센트의 관계를 나타내고 있다. 도 15(b)는 막 두께 2 nm의 ZrN 캡층(13)을 구리 배선(12a, 12b) 위에 형성한 경우의 캡 배선의 저항치와 누적 퍼센트의 관계를 나타내고 있다. 도 15(c)는 막 두께 4 nm의 ZrN 캡층(13)을 구리 배선(12a, 12b) 위에 형성한 경우의 캡 배선의 저항치와 누적 퍼센트의 관계를 나타내고 있다.

도 15(a) 내지 도 15(c)에 따르면, 캡 배선의 저항에 대한 ZrN 막 두께 의존성은 보이지 않았다.

또, 절연성/도전성의 캡층(13, 47)으로서, 질화지르코늄 대신에 질화지르코늄 화합물, 지르코늄, 티타늄, hafnium 또는 지르코늄 화합물, 티타늄 화합물, hafnium 화합물 중 어느 하나의 물질의 막을 적용하여도 좋다. 이러한 재료에 대해서는 이하의 실시 형태에서도 마찬가지이다.

### (제3 실시 형태)

도 16 내지 도 18은 본 발명의 제3 실시 형태의 반도체 장치의 형성 공정을 도시한 단면도이다. 또, 도 16 내지 도 18에 있어서, 도 8 내지 도 13과 동일한 부호는 동일한 요소를 나타내고 있다.

우선, 제2 실시 형태의 도 8 내지 도 10에 도시된 공정에 따라 실리콘 기판(1)에 MOS 트랜지스터(3)를 형성하고, 층간 절연막(4, 8, 10), 제1 스토퍼층(40)을 형성하며, 배선(7)을 형성하고, 도전성 플러그(5a, 5b, 9)를 형성하며, 제1, 제2 구리 배선(12a, 12b)을 형성한다.

그 후에, 도 16(a)에 도시된 바와 같이, 제1, 제2 구리 배선(12a, 12b)과 제1 스토퍼층(40) 위에 ZrN으로 이루어진 제1 캡층(13)을 형성한다. 제1 캡층(13)의 막 두께는 제1, 제2 실시 형태에서 설명한 바와 같은 20 nm 이하로 한정되는 것이 아니라, 예컨대 40 nm의 두께로 형성한다.

다음에, 도 16(b)에 도시된 바와 같이, 제1 캡층(13)을 선택 에칭함으로써, 제3 층간 절연막(10) 위에서 제거하는 동시에, 제1, 제2 구리 배선(12a, 12b) 위에 남긴다. 그와 같은 선택 에칭은 예컨대 다음 조건으로 행해진다.

ZrN층은 성장 온도나 가스 유량, 암모니아 첨가량 등의 CVD 조건에 따라서도 다르지만, 금속막 위의 금속상(저저항층(13a))과 절연막 위의 절연상(고저항층(13b))에서는 막 밀도가 크게 다르다. 즉, ZrN층에 있어서, 전형적으로 절연상의 막 밀도는 5.0~5.5 g/cm<sup>3</sup>이고, 금속상의 막 밀도는 6.0~6.5 g/cm<sup>3</sup>이다. 이에 따라, 각종 에칭제에 의한 ZrN층의 에칭 속도가 막 밀도에 의존하게 되기 때문에, 이 성질을 이용하여 ZrN 절연상을 선택적으로 제거할 수 있다. 에칭제인 플루오르화수소산, 염산, 황산 등의 수용액이나 과산화수소 등의 약액을 적절하게 가온함으로써 ZrN막에 대하여 원하는 에칭 속도를 얻을 수 있다.

예컨대, 온도 25℃의 농도 1 wt%의 플루오르화수소산에 의한 금속상 ZrN의 에칭 속도가 40 nm/min인 데 비하여, 절연상 ZrN의 에칭 속도는 53 nm/min였다. 그래서, 도 16(a)에 도시된 바와 같이, 제1, 제2 구리 배선(12a, 12b)과 제3 층간 절연막(10) 위에 막 두께 40 nm의 ZrN으로 이루어진 제1 캡층(13)을 형성한 후에, 농도 1 wt%의 플루오르화수소산을 제1 캡층(13)에 45초간 공급함으로써, 도 16(b)에 도시된 바와 같이 제1, 제2 구리 배선(12a, 12b) 위에만 제1 캡층(13)을 10 nm의 두께로 남길 수 있다.

ZrN 에칭용 에칭 장치는 배치식(batch type)이어도 날장식(sheet-fed type)이어도 좋지만, 균일성 좋게 단시간에 제1 캡층(13)을 에칭하기 위해서는 웨이퍼형 스펀 에칭 장치를 이용하는 것이 바람직하다.

이상과 같이 제1 캡층(13)을 선택 에칭한 후에, 도 17(a)에 도시된 바와 같이, 막 두께 600 nm의 SiO<sub>2</sub>로 이루어진 제4 층간 절연막(42)과 막 두께 50 nm의 제2 스토퍼층(43)을 CVD법에 의해 제1 캡층(13) 및 제1 스토퍼층(40) 위에 순서대로 형성한다.

다음에, 도 17(b)에 도시된 바와 같이, 제2 스토퍼층(43), 제4 층간 절연막(42)을 패터닝함으로써 제1 캡층(13)을 노출시키는 제1, 제2 비아 홀(41a, 41b)을 제2 스토퍼층(43), 제4 층간 절연막(42) 및 제2 캡층(41)에 형성하고, 추가로 제1, 제2 비아 홀(41a, 41b)에 각각 일부가 겹치는 제3, 제4 배선 홈(42a, 42b)을 제2 스토퍼층(43), 제4 층간 절연막(42)에 형성한다. 이에 따라, 제1, 제2 비아 홀(41a, 41b)을 통해 제1 캡층(13)이 노출된다.

다음에, 도 18에 도시된 구조를 형성할 때까지의 공정을 설명한다.

제2 실시 형태와 마찬가지로, 제1 및 제2 비아 홀(41a, 41b)과 제3 및 제4 배선 홈(42a, 42b)의 각각의 내주면과 저면, 및 제2 스톱퍼층(43)의 상면 위에 배리어 메탈층(44a)을 형성한다. 또한, 배리어 메탈층(44a) 위에 구리 시드층(도시되지 않음)을 30~100 nm의 두께로 형성한다.

배리어 메탈층(44a)은 스퍼터법에 의해 형성되고, 예컨대 Ta, TaN 혹은 이들 적층막 중 어느 하나, 또는 TiN으로 구성된다. 또한, 구리 시드층은 스퍼터법에 의해 30~100 nm의 두께로 형성된다.

계속해서, 구리층(44b)을 전해 도금법에 의해 구리 시드층 위에 형성하고, 이에 따라, 제3 및 제4 배선 홈(42a, 42b)과 제1 및 제2 비아 홀(41a, 41b)을 완전히 매립한다. 또, 구리 시드층은 구리층(44b)과 일체가 된다.

또한, 제2 스톱퍼층(43)을 연마 스톱퍼로 하여 제2 스톱퍼층(43)의 상면에서 구리층(44b), 배리어 메탈층(44a)을 CMP법에 의해 제거한다. 이에 따라, 제1 및 제2의 비아 홀(41a, 41b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제1 및 제2 비아(45a, 45b)로서 사용하고, 또한, 제3 및 제4 배선 홈(42a, 42b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제3 및 제4 구리 배선(46a, 46b)으로서 사용한다.

제3 구리 배선(21a)은 제1 비아(20a)와 캡층(13)을 통해 제1 구리 배선(12a)에 전기적으로 접속된다. 또한, 제4 구리 배선(21b)은 제2 비아(20b)와 캡층(13)을 통해 제2 구리 배선(12b)에 전기적으로 접속된다.

이 후에, 제3 및 제4 구리 배선(46a, 46b)과 제2 스톱퍼층(43) 위에 제1 캡층(13)과 동일한 재료로 이루어진 제2 캡층(49)을 형성한다. 그 후에, 제1 캡층(13)과 동일하게 제2 캡층(49)을 선택 에칭하여 제3 및 제4 구리 배선(46a, 46b) 위에만 남긴다.

또한, 상기한 것과 동일한 층간 절연막, 구리 배선 및 비아의 형성을 반복함으로써, 제2 층간 절연막(8) 위에는 다층 구조의 구리 배선이 형성되게 된다.

이상과 같은 공정에 의해 형성된 반도체 장치에 있어서는, 구리 배선(12a, 12b, 46a, 47b) 위에 남겨진 ZrN 캡층(13, 45)은 구리 배선(12a, 12b, 46a, 47b)의 산화를 방지한다.

또한, 제3 층간 절연막 위에 형성된 ZrN 캡층이 제거되기 때문에, ZrN 캡층의 막 두께에 대한 제한이 없어진다. 절연막 위의 ZrN 캡층은 막 두께 20 nm 전후로 저항치의 특성이 급격히 변하기 때문에 그 막 두께 제어가 어렵지만, 본 실시 형태에 의한 ZrN 캡층의 선택 에칭을 행하면, 절연막 위에서 저저항화될 우려는 없어진다.

제3 층간 절연막상으로부터의 ZrN 캡층의 제거는 레지스트 등의 마스크를 사용하지 않고서 선택적으로 또한 정밀하게 에칭되기 때문에, 레지스트 패턴의 형성 및 정렬이 불필요하여 작업 처리량을 크게 저하시키는 일은 없다.

#### (제4 실시 형태)

제3 실시 형태에서는, ZrN의 캡층이 절연성의 캡층으로부터 선택적으로 제거되고 있지만, 구리 배선의 구리와 캡층의 ZrN이 반응하면, 캡층을 통해 구리가 층간 절연막으로 확산될 우려가 있다.

그래서, 제2 실시 형태와 같이, 구리 배선 위에 남겨진 ZrN층을 절연성 캡층으로 덮음으로써, 구리 배선으로부터 층간 절연막으로의 구리의 확산을 확실하게 방지할 수도 있다. 이하에 그 구조와 그 형성 공정을 설명한다.

우선, 제2 실시 형태의 도 8 내지 도 10에 도시된 공정에 따라 실리콘 기판(1)에 MOS 트랜지스터(3)를 형성하고, 층간 절연막(4, 8, 10), 제1 스톱퍼층을 형성하고, 배선(7)을 형성하며, 도전성 플러그(5a, 5b, 9)를 형성하고, 제1, 제2 구리 배선(12a, 12b)을 형성한다. 그 후에, 도 16(a)에 도시된 바와 같이, 제1, 제2 구리 배선(12a, 12b)과 제1 스톱퍼층(40) 위에 ZrN으로 이루어진 제1 캡층(13)을 형성한다. 제1 캡층(13)의 막 두께는 20 nm 이하로 한정되지 않고, 예컨대 40 nm의 두께로 형성한다.

다음에, 도 19(a)에 도시된 바와 같이, 제1 캡층(13)을 선택 에칭함으로써, 제3 층간 절연막(10) 위에서 제거하는 동시에, 제1, 제2 구리 배선(12a, 12b) 위에 남긴다. 제1 캡층(13)의 선택 에칭은 제3 실시 형태에 도시한 방법에 의해 행해진다.

계속해서, 도 19(b)에 도시된 바와 같이, 구리 확산 방지 기능을 갖는 절연성의 제2 캡층(41)을 제1 캡층(13) 위에 형성한다. 제2 캡층(41)으로서, SiC, SiN을 베이스로 한 절연층, 또는, SiCO, SiON을 베이스로 한 절연층을 PE-CVD 법에 의해 20~100 nm의 두께로 형성한다. 제2 캡층(41)은 제2 실시 형태에서 설명한 방법에 따라 형성된다.

또한, 도 20(a)에 도시된 바와 같이, 막 두께 600 nm의 SiO<sub>2</sub>로 이루어진 제4 층간 절연막(42)과 막 두께 50 nm의 제2 스톱퍼층(43)을 CVD법에 의해 제2 캡층(41) 위에 순서대로 형성한다.

그 후에, 도 20(b)에 도시된 바와 같이, 제2 스톱퍼층(43), 제4 층간 절연막(42) 및 제2 캡층(41)을 패터닝함으로써, 제1 캡층(13)을 노출시키는 제1, 제2 비아 홀(41a, 41b)을 제2 스톱퍼층(43), 제4 층간 절연막(42) 및 제2 캡층(41)에 형성하고, 추가로 제1, 제2 비아 홀(41a, 41b)에 각각 겹치는 제3, 제4 배선 홈(42a, 42b)을 제2 스톱퍼층(43), 제4 층간 절연막(42)에 형성한다.

다음에, 도 21에 도시된 구조를 형성할 때까지의 공정을 설명한다.

제2 실시 형태와 마찬가지로, 제1 및 제2 비아 홀(41a, 41b)과 제3 및 제4 배선 홈(42a, 42b) 각각의 내주면과 저면, 및 제2 스톱퍼층(43)의 상면 위에 배리어 메탈층(44a)을 형성한다. 배리어 메탈층(44a)은 스퍼터법에 의해 형성되고, 예컨대 Ta, TaN 혹은 이들 적층막 중 어느 하나, 또는 TiN으로 구성된다.

계속해서, 스퍼터법에 의해 막 두께 30~100 nm의 구리 시드층(도시되지 않음)을 배리어 메탈층(44a) 위에 형성한다.

또한, 구리층(44b)을 전해 도금법에 의해 구리 시드층 위에 형성하고, 이에 따라, 제3 및 제4 배선 홈(42a, 42b)과 제1 및 제2 비아 홀(41a, 41b)을 완전히 매립한다. 또, 구리 시드층은 구리층(44b)과 일체가 된다.

또한, 제2 스톱퍼층(43)을 연마 스톱퍼로 하여 제2 스톱퍼층(43)의 상면에서 구리층(44b), 배리어 메탈층(44a)을 CMP법에 의해 제거한다. 이에 따라, 제1 및 제2 비아 홀(41a, 41b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제1 및 제2 비아(45a, 45b)로서 사용하고, 또한, 제3 및 제4 배선 홈(42a, 42b) 각각의 속에 남은 구리층(44b), 배리어 메탈층(44a)을 제3 및 제4 구리 배선(46a, 46b)으로서 사용한다.

제3 구리 배선(21a)은 제1 비아(20a)와 제1 캡층(13)을 통해 제1 구리 배선(12a)에 전기적으로 접속된다. 또한, 제4 구리 배선(21b)은 제2 비아(20b)와 제1 캡층(13)을 통해 제2 구리 배선(12b)에 전기적으로 접속된다.

계속해서, 제3 및 제4 구리 배선(46a, 46b) 위와 제2 스톱퍼층(43) 위에 ZrN으로 이루어진 제3 캡층(47)을 형성한다. 또한, 제3 캡층(47)을 선택 에칭하여 제3 및 제4 구리 배선(46a, 46b) 위에만 남긴다.

그리고, 제3 캡층(47) 위와 제2 스톱퍼층(43) 위에 제2 캡층(41)과 동일한 재료로 이루어진 제4 캡층(48)을 형성한다.

또한, 상기한 바와 같이 층간 절연막, 구리 배선 및 비아의 형성을 반복함으로써, 제2 층간 절연막(8) 위에는 다층 구조의 구리 배선이 형성되게 된다.

이상과 같은 공정에 의해 형성된 반도체 장치에 있어서, 구리 배선(12a, 12b, 46a, 46b) 위에만 남겨진 ZrN 캡층(13, 47)은 구리 확산 방지용 절연재로 이루어진 다른 캡층(40, 48)으로 덮여지기 때문에, ZrN 캡층(13, 47)을 통해 구리 배선(12a, 12b, 46a, 46b)으로부터 구리가 층간 절연막으로 확산되는 것이 방지된다. 또한, ZrN 캡층(13, 47)은 층간 절연막 위에서 선택적으로 제거되고 있기 때문에, 막 두께가 20 nm보다 두껍더라도 구리 배선간을 단락하는 일이 없다.

(그 밖의 실시 형태)

상기한 실시 형태에서는, 층간 절연막을  $\text{SiO}_2$ 로 형성하고 있는 저유전률 절연 재료로 구성하여도 좋다. 소자의 미세화에 따라 배선 지연의 영향이 심각해지기 때문에, 저유전률 절연막의 적용은 더욱 중요해진다. 저유전률 절연 재료로서는, 유기 폴리머, 또는 탄소를 함유한 산화실리콘 혹은 다공성 저유전률 절연 재료를 대표적인 재료로서 들 수 있다.

저유전률 절연막의 성막법(成膜法)으로서, 기판을 회전시키면서 액상의 저유전률 절연 물질을 기판 위에 균일하게 도포하는 스펀 프로세스, 또는 PE-CVD법이 전형적이다. 도포 프로세스에 의해 다공성 저유전률 절연막을 형성하는 경우에는, 졸겔법에 의해 가수분해와 축중합을 이용하고, 불안정한 성분의 열분해와 주형 중간 구조물의 형성 및 주형의 열분해를 행하여 중공체(hollow body)를 형성하기 위해서,  $400^\circ\text{C}$  정도의 열처리를 필요로 한다.

또한, 상기한 실시 형태에서는, 배선 홈이나 비아 홀에 구리를 매립하기 위한 진공정으로서, 스퍼터에 의해 배리어 메탈층, 구리 시드층을 형성하고 있지만, CVD법에 의해 형성하여도 좋다. 예컨대 질화티탄을 배리어 메탈로서 CVD법에 의해 형성하는 경우에는, 반응 가스로서 TDEAT와 암모니아를 이용한다. 또한, 구리 시드층을 CVD법에 의해 형성하여도 좋다. 구리 시드층의 성장 가스로서는, 예컨대  $\text{Cu(hfac)TMVS}$ 를 원료로 사용한다.

구리 시드층의 형성 방법으로서, 미세 비아 홀에 대하여 커버리지가 양호한 자기 이온화 플라즈마법 등을 이용하여도 좋다.

또, 상기한 실시 형태에서는, 비아 홀내와 배선 홈내에 동시에 배리어 메탈과 구리를 매립하는 공정을 포함하는 듀얼 상감법에 대해서 설명하였다. 그러나, 비아와 구리 배선의 형성은 듀얼 상감법에 한정되지 않고, 비아 홀내에 배리어 메탈과 구리를 매립한 후에 배선 홈을 형성한 후, 그 배선 홈내에 새롭게 배리어 메탈과 구리를 매립하는 상감법을 이용하여도 좋다. 이 경우에도, 구리 비아 또는 구리 배선 위에 지르코늄, 티타늄, haf늄, 질화지르코늄, 또는 이들 중 어느 하나의 화합물로 이루어진 캡층을 형성하여도 좋다.

(부기 1) 반도체 기판의 상측에 형성된 제1 절연막과,

상기 제1 절연막내에 매립된 제1 금속 패턴과,

상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성되고, 또한 상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치.

(부기 2) 상기 제1 캡층을 구성하는 상기 물질은 지르코늄, 티타늄, haf늄, 질화지르코늄, 또는 이들 중 어느 하나의 화합물인 것을 특징으로 하는 부기 1에 기재한 반도체 장치.

(부기 3) 상기 제1 캡층의 막 두께는 20 nm 이하인 것을 특징으로 하는 부기 1 또는 부기 2에 기재한 반도체 장치.

(부기 4) 반도체 기판의 상측에 형성된 제1 절연막과,

상기 제1 절연막내에 매립된 제1 금속 패턴과,

상기 제1 금속 패턴 위에 형성되고, 또한 지르코늄, 티타늄, haf늄, 질화지르코늄, 또는 이들 중 어느 하나의 화합물로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치.

(부기 5) 상기 제1 캡층 위에 형성된 제2 절연막과,

상기 제1 금속 패턴 위에서 상기 제2 절연막에 형성된 홀 또는 홈과,

상기 홀 또는 상기 홈 속에 매립되어 상기 제1 캡층을 통해 상기 제1 금속 패턴에 전기적으로 접속되는 제2 금속 패턴을 더 포함하는 것을 특징으로 하는 부기 1 내지 부기 4 중 어느 하나에 기재한 반도체 장치.

(부기 6) 상기 제2 금속 패턴과 상기 제1 캡층 사이에는 배리어 메탈층이 형성되어 있는 것을 특징으로 하는 부기 5에 기재한 반도체 장치.

(부기 7) 상기 배리어 메탈층은 고용점 금속 질화물인 것을 특징으로 하는 부기 6에 기재한 반도체 장치.

(부기 8) 상기 제1 캡층을 덮고 또한 상기 제1 캡층과는 다른 재료로서 구리 확산 방지용 절연재로 이루어진 제2 캡층을 더 포함하는 것을 특징으로 하는 부기 1 내지 부기 7 중 어느 하나에 기재한 반도체 장치.

(부기 9) 상기 제2 캡층은 탄화규소 및 질화규소를 베이스로 한 절연층, 또는 산화탄화규소 및 산화질화규소를 베이스로 한 절연층인 것을 특징으로 하는 부기 8에 기재한 반도체 장치.

(부기 10) 상기 제1 금속 패턴은 구리 패턴인 것을 특징으로 하는 부기 1 내지 부기 9 중 어느 하나에 기재한 반도체 장치.

(부기 11) 반도체 기판의 상측에 제1 절연막을 형성하는 공정과,

상기 제1 절연막내에 제1 홈 또는 제1 홀을 형성하는 공정과,

상기 제1 홈 또는 상기 제1 홀내에 구리를 매립하여 제1 금속 패턴을 형성하는 공정과,

상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

(부기 12) 상기 제1 캡층을 구성하는 상기 물질은 지르코늄, 티타늄, hafnium, 질화지르코늄, 또는 이들 중 어느 하나의 화합물인 것을 특징으로 하는 부기 11에 기재한 반도체 장치의 제조 방법.

(부기 13) 상기 제1 캡층을 구성하는 상기 물질은 20 nm 이하의 두께로 형성되는 것을 특징으로 하는 부기 11 또는 부기 12에 기재한 반도체 장치의 제조 방법.

(부기 14) 상기 제1 캡층을 성막한 후에, 어닐링하는 것을 특징으로 하는 부기 11 내지 부기 13 중 어느 하나에 기재한 반도체 장치의 제조 방법.

(부기 15) 상기 제1 캡층을 성막한 후에, 상기 제1 캡층과 상기 금속 패턴의 합금화를 행하는 것을 특징으로 하는 부기 11 내지 부기 13 중 어느 하나에 기재한 반도체 장치의 제조 방법.

(부기 16) 마스크를 이용하는 일없이 상기 제1 캡층을 상기 제1 절연막 위에서 제거하고 또한 상기 제1 금속 패턴 위에 남기는 공정을 더 포함하는 것을 특징으로 하는 부기 11 내지 부기 15 중 어느 하나에 기재한 반도체 장치의 제조 방법.

(부기 17) 상기 제1 캡층 위에 제2 절연막을 형성하는 공정과,

상기 제2 절연막 중 상기 제1 금속 패턴의 상측에 제2 홈 또는 제2 홀을 형성하는 공정과,

상기 제2 홈 또는 제2 홀내에 구리를 매립함으로써 상기 제1 캡층을 통해 상기 제1 금속 패턴에 전기적으로 접속되는 제2 금속 패턴을 형성하는 공정을 더 포함하는 것을 특징으로 하는 부기 11 내지 부기 16 중 어느 하나에 기재한 반도체 장치의 제조 방법.



(부기 18) 상기 제2 금속 패턴과 상기 제1 캡층 사이에 배리어 메탈층을 형성하는 공정을 더 포함하는 것을 특징으로 하는 부기 17에 기재한 반도체 장치의 제조 방법.

(부기 19) 상기 배리어 메탈층은 고용점 금속 질화물인 것을 특징으로 하는 부기 16에 기재한 반도체 장치의 제조 방법.

(부기 20) 상기 제1 캡층과는 다른 재료인 구리 확산 방지용 절연재로 이루어진 제2 캡층을 상기 제1 캡층 위에 형성하는 공정을 더 포함하는 것을 특징으로 하는 부기 11 내지 부기 19 중 어느 하나에 기재한 반도체 장치의 제조 방법.

(부기 21) 상기 제2 캡층으로서, 탄화규소 및 질화규소를 베이스로 한 절연층, 또는 산화탄화규소 및 산화질화규소를 베이스로 한 절연층을 형성하는 것을 특징으로 하는 부기 20에 기재한 반도체 장치의 제조 방법.

(부기 22) 상기 제1 금속 패턴의 형성은 구리 패턴의 형성인 것을 특징으로 하는 부기 11 내지 부기 21 중 어느 하나에 기재한 반도체 장치의 제조 방법.

#### 발명의 효과

이상 기술한 바와 같이 본 발명에 따르면, 구리막 윗부분이 절연막 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 제1 절연막과 제1 금속 패턴 위에 형성하도록 하였기 때문에, 제1 절연막 위에 형성된 제2 절연막을 패터닝하여 제1 금속 패턴 위에 홀 또는 홈을 형성하여도 제1 금속 패턴은 제1 캡층에 의해 보호되고, 제1 금속 패턴의 산화, 부식, 오염을 방지할 수 있다. 또한, 홀 또는 홈내에 매립되는 제2 금속 패턴은 제1 캡층을 통해 제1 금속 패턴에 도통되기 때문에 제2 금속 패턴과 제1 금속 패턴의 도통을 확보할 수 있다.

또한, 제1 캡층은 제1 절연막 위에서는 절연부가 되기 때문에 제1 캡층의 패터닝은 불필요하게 되어 공정의 축소화에 기여한다. 또, 질화지르코늄 등으로 이루어진 제1 캡층에 대해서는, 제1 절연막 위와 제1 금속 패턴 위에서 막의 밀도를 바꾸어 형성할 수 있기 때문에, 마스크를 사용하지 않고서 선택 에칭에 의해 제1 캡층을 절연막 위에서 선택적으로 제거할 수 있어 패터닝 공정을 간략하게 할 수 있다.

또한, 캡층 위에 구리 확산 방지용 절연재로 이루어진 제2 캡층을 형성하도록 하였기 때문에, 제1 금속 패턴이 구리를 포함하는 경우에도, 제1 금속 패턴으로부터 층간 절연막으로의 구리의 확산을 확실하게 방지할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

반도체 기판의 상측에 형성된 제1 절연막과,

상기 제1 절연막내에 매립된 제1 금속 패턴과,

상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성되고, 또한 상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치.

##### 청구항 2.

제1항에 있어서, 상기 제1 캡층을 구성하는 상기 물질은 지르코늄, 티타늄, hafnium, 질화지르코늄, 또는 이들 중 어느 하나의 화합물인 것을 특징으로 하는 반도체 장치.

##### 청구항 3.

제1항 또는 제2항에 있어서, 상기 제1 캡층의 막 두께는 20 nm 이하인 것을 특징으로 하는 반도체 장치.

청구항 4.

반도체 기판의 상측에 형성된 제1 절연막과,

상기 제1 절연막내에 매립된 제1 금속 패턴과,

상기 제1 금속 패턴 위에 형성되고, 또한 지르코늄, 티타늄, hafnium, 질화지르코늄, 또는 이들 중 어느 하나의 화합물로 구성되는 제1 캡층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 제1 캡층을 덮고 또한 상기 제1 캡층과는 다른 재료로서 구리 확산 방지용 절연재로 이루어진 제2 캡층을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6.

반도체 기판의 상측에 제1 절연막을 형성하는 공정과,

상기 제1 절연막내에 제1 홈 또는 제1 홀을 형성하는 공정과,

상기 제1 홈 또는 상기 제1 홀내에 구리를 매립하여 제1 금속 패턴을 형성하는 공정과,

상기 제1 금속 패턴의 윗부분이 상기 제1 절연막의 윗부분보다도 전기 저항치가 작아지는 물질로 구성되는 제1 캡층을 상기 제1 금속 패턴 위와 상기 제1 절연막 위에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7.

제6항에 있어서, 상기 제1 캡층을 구성하는 상기 물질은 지르코늄, 티타늄, hafnium, 질화지르코늄, 또는 이들 중 어느 하나의 화합물인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.

제6항 또는 제7항에 있어서, 상기 제1 캡층을 구성하는 상기 물질은 20 nm 이하의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

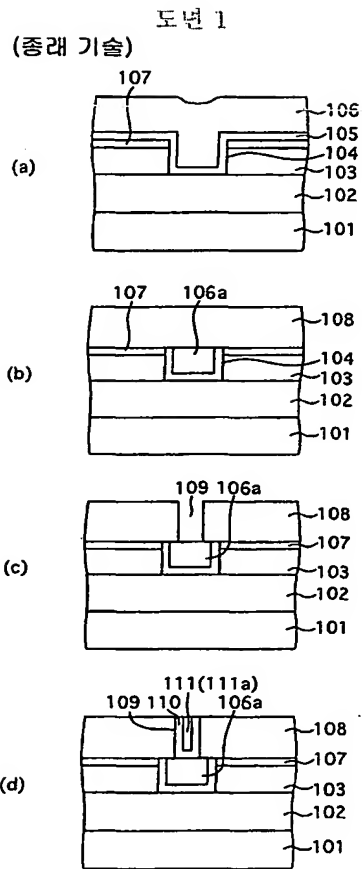
청구항 9.

제6항 내지 제8항 중 어느 한 항에 있어서, 마스크를 이용하는 일없이 상기 제1 캡층을 상기 제1 절연막 위에서 제거하고 또한 상기 제1 금속 패턴 위에 남기는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10.

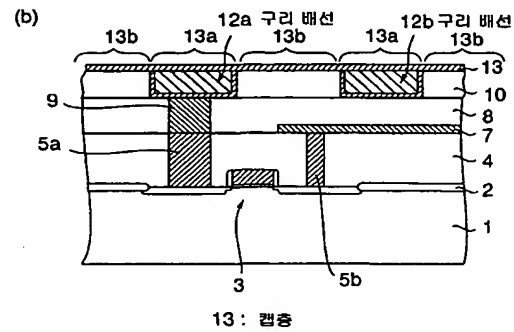
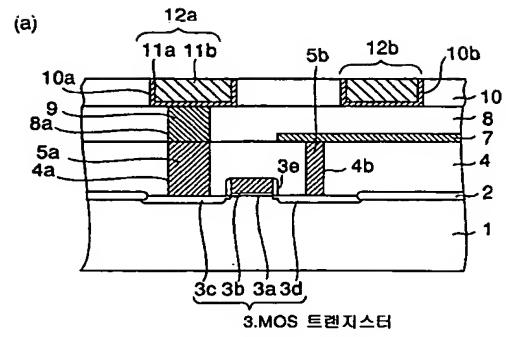
제6항 내지 제9항 중 어느 한 항에 있어서, 상기 제1 캡층과는 다른 재료인 구리 확산 방지용 절연재로 이루어진 제2 캡층을 상기 제1 캡층 위에 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면



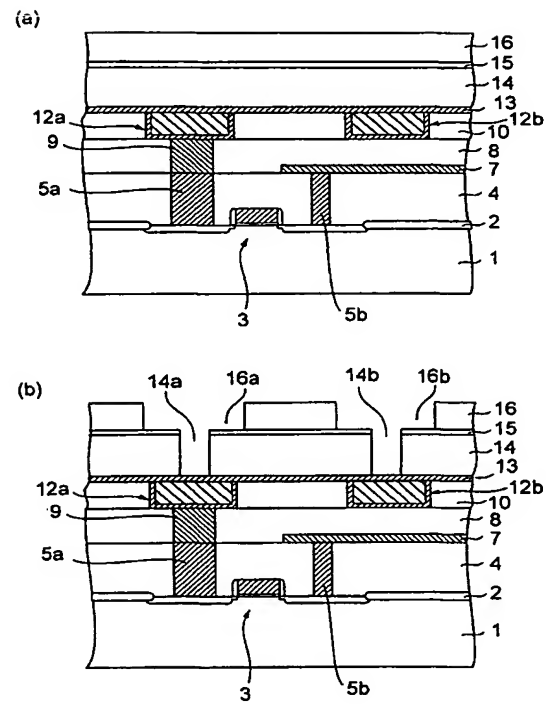
도면 2

본 발명의 제1 실시 형태 (1)



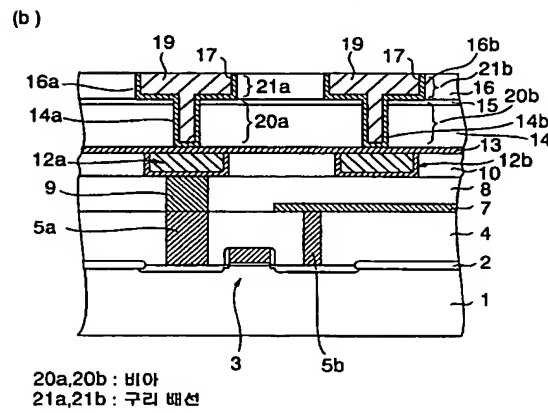
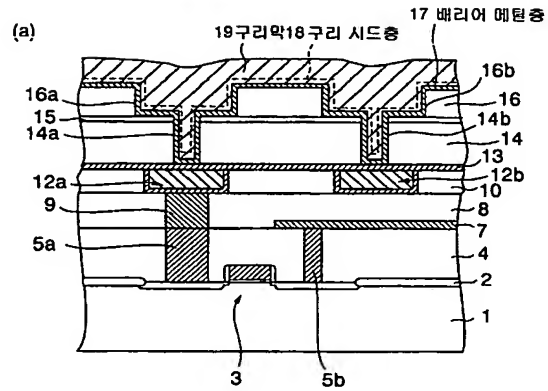
도면 3

본 발명의 제1 실시 형태 (2)



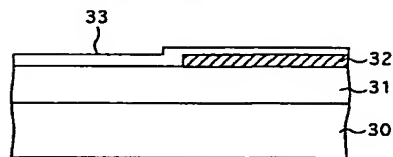
도면 4

본 발명 제1 실시 형태 (3)

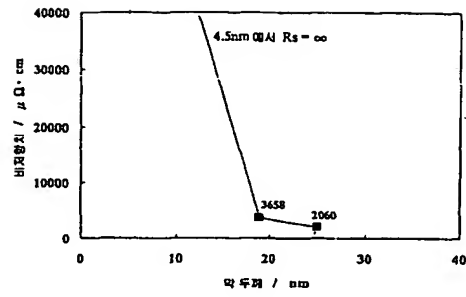


도면 5

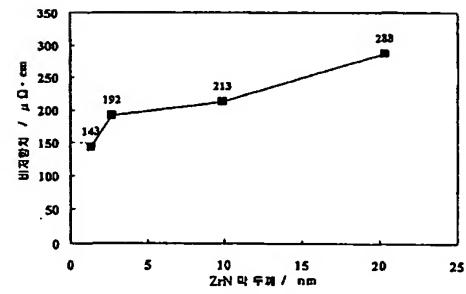
본 발명의 제1 실시 형태 (4)



도면 6

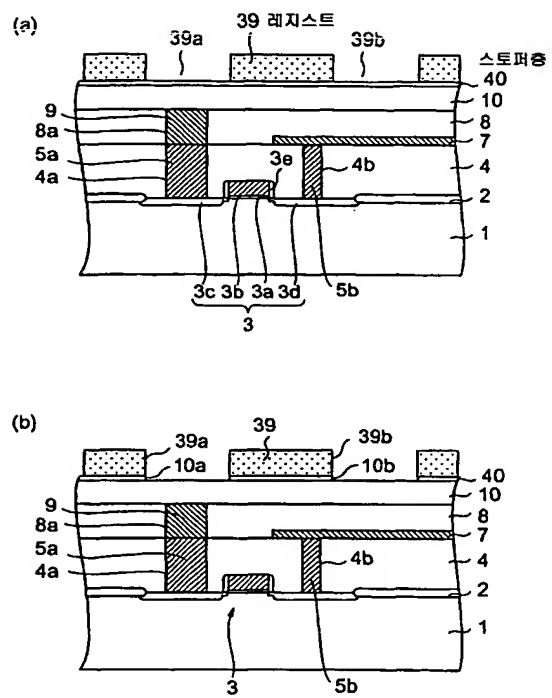


도면 7



도면 8

### 본 발명의 제2 실시 형태 (1)

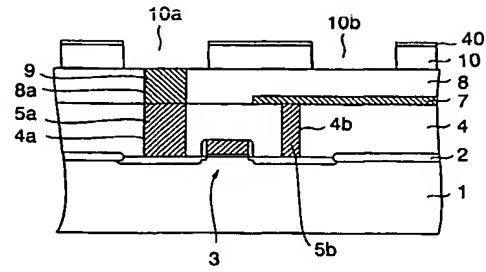




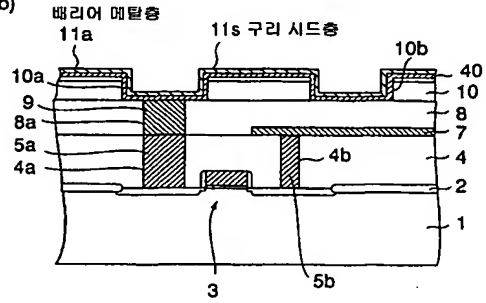
도면 9

본 발명의 제2 실시 형태 (2)

(a)

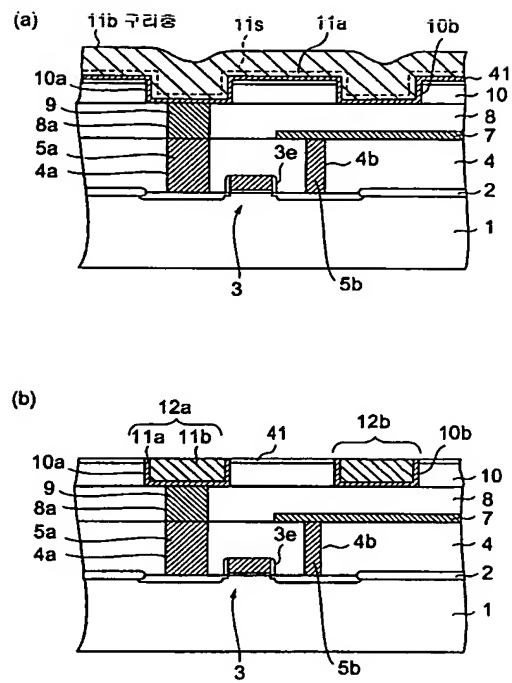


(b)



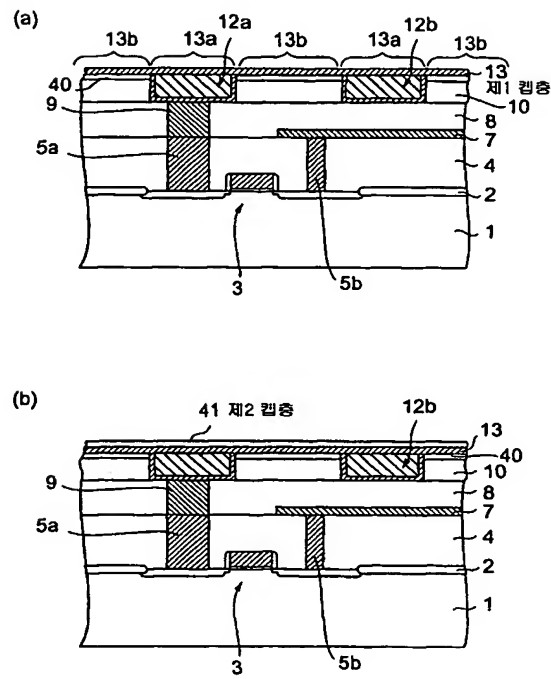
도면 10

### 본 발명의 제2 실시 형태 (3)



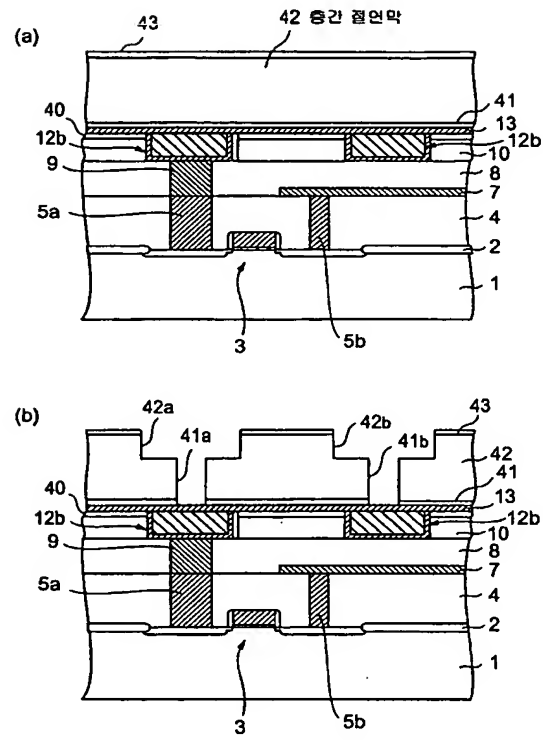
도면 11

본 발명의 제2 실시 형태 (4)



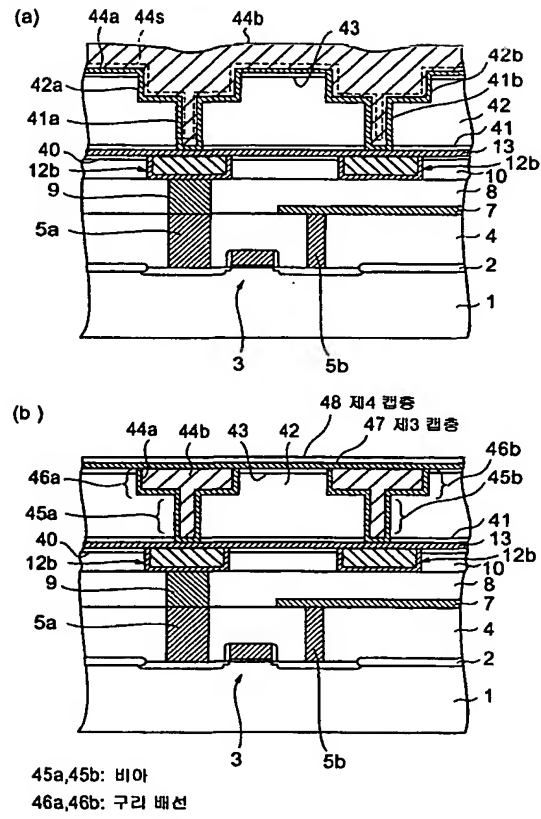
도면 12

본 발명의 제2 실시 형태 (5)

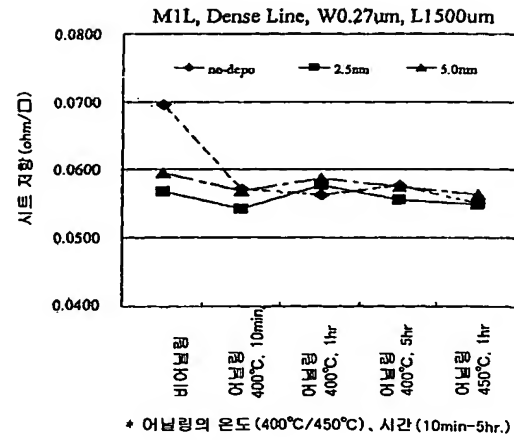


도면 13

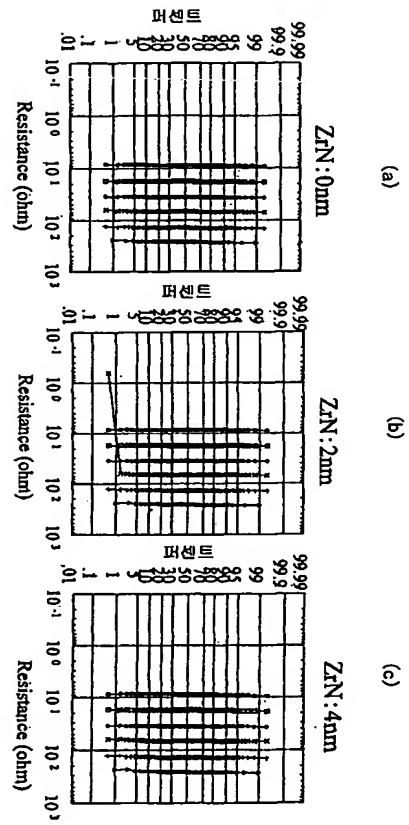
본 발명의 제2 실시 형태 (6)



도면 14

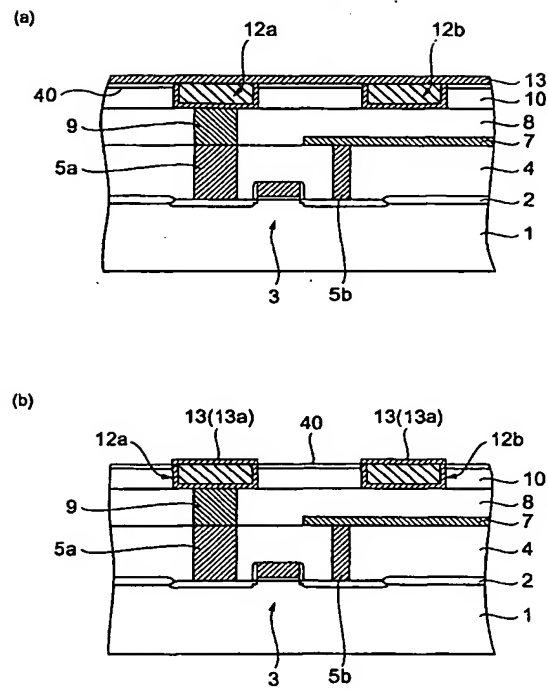


도면 15



도면 16

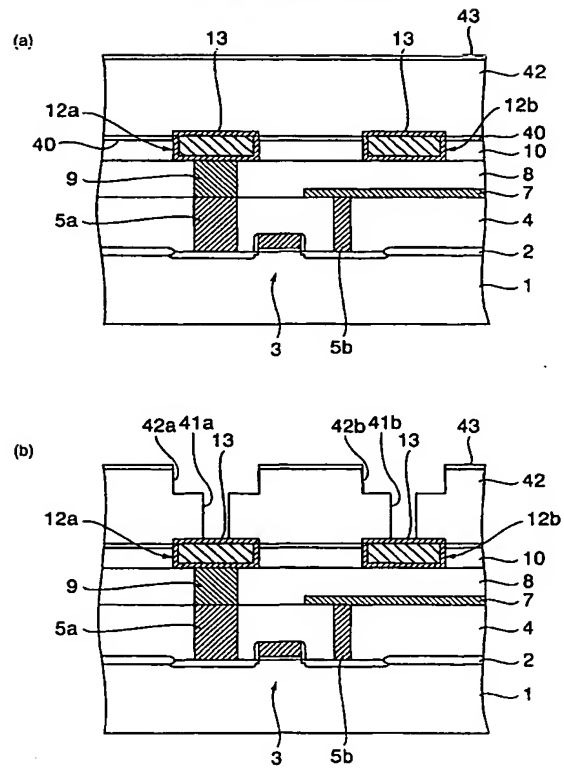
본 발명의 제3 실시 형태 (1)





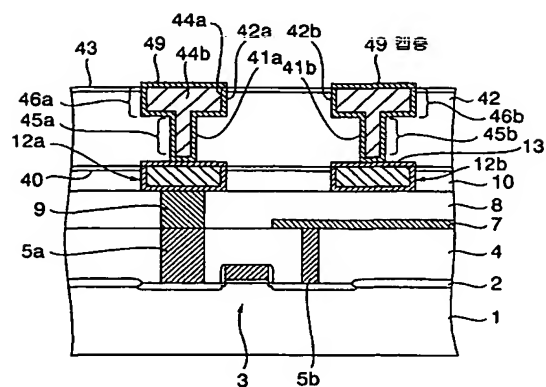
도면 17

본 발명의 제3 실시 형태 (2)



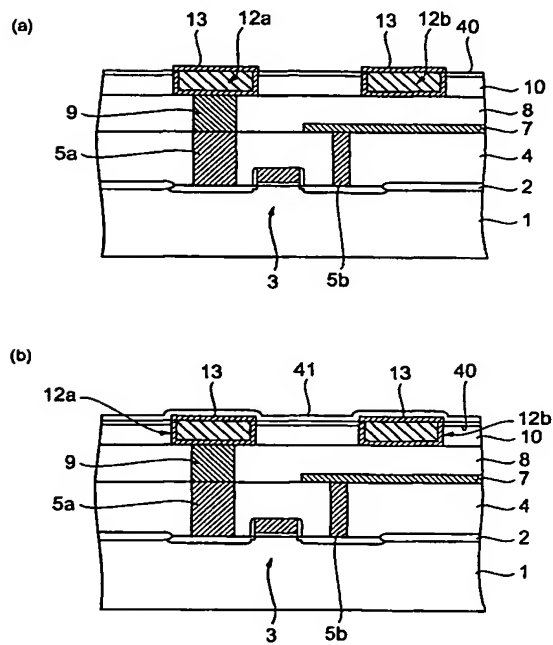
도면 18

### 본 발명의 제3 실시 형태 (3)



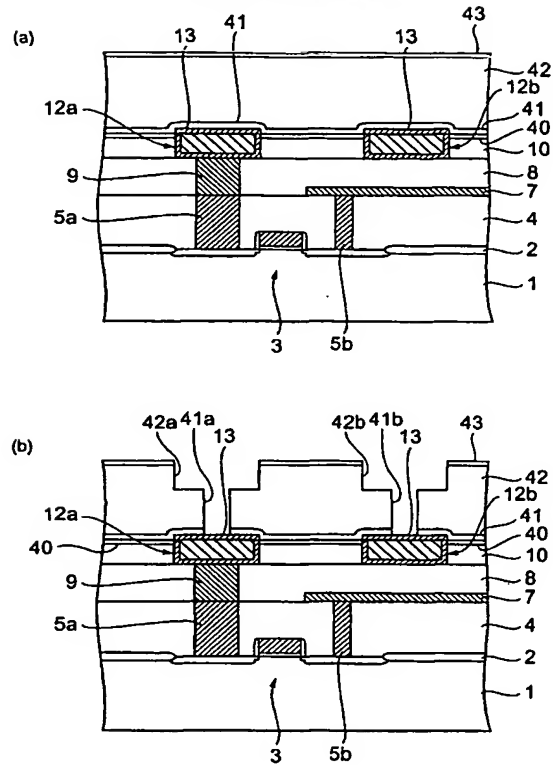
도면 19

### 본 발명의 제4 실시 형태 (1)



도면 20

본 발명의 제4 실시 형태 (2)



도면 21

본 발명의 제4 실시 형태 (3)

